

(19)



JAPANESE PATENT OFFICE

NEC-5075 ①

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07336163 A

(43) Date of publication of application: 22.12.95

(51) Int. Cl

H03F 3/45  
G06G 7/12

(21) Application number: 06127887

(71) Applicant: NEC CORP

(22) Date of filing: 09.06.94

(72) Inventor: KIMURA KATSUHARU

(54) MOS OTA

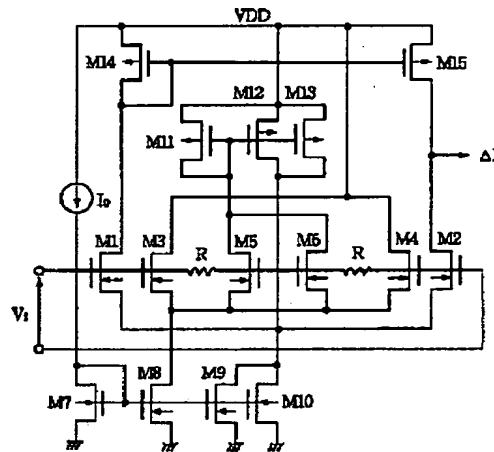
circuits shown in the figure.

(57) Abstract:

COPYRIGHT: (C)1995,JPO

PURPOSE: To enlarge an input voltage range to be linear while making a circuit scale small by performing a linear operation in an operational transconductance amplifier constituted of an optimized bias differential pair.

CONSTITUTION: This OTA composed of the optimized bias differential pair for performing the linear operation provided on a semiconductor integrated circuit is driven by a tail current provided with the square characteristics of an input voltage and completely compensates the transcoraductance of the differential pair. That is, the OTA is constituted of the differential pair driven by the output current of a square circuit and are two pairs of transistors for which output is connected in common and quadritail cells are driven by the tail current in common. Differential input signals are inputted to a first transistor pair, input is connected in common in a second transistor pair and the DC voltage of the differential input signals is inputted. Thus, this MOS OTA whose linear operation input voltage range is wide is realized. Concretely, the optimum bias differential pair is constituted of



(19)日本国特許庁 (JP)

## (12) 特許公報 (B2)

(11)特許番号

第2556293号

(45)発行日 平成8年(1996)11月20日

(24)登録日 平成8年(1996)9月5日

(51) Int.Cl.<sup>6</sup>  
 H 03 F 3/45  
 G 06 G 7/12

識別記号

厅内整理番号

F I  
 H 03 F 3/45  
 G 06 G 7/12

技術表示箇所  
 Z  
 A

請求項の数 2 (全 6 頁)

(21)出願番号 特願平6-127887  
 (22)出願日 平成6年(1994)6月9日  
 (65)公開番号 特開平7-336163  
 (43)公開日 平成7年(1995)12月22日

(73)特許権者 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (72)発明者 木村 克治  
 東京都港区芝五丁目7番1号 日本電気  
 株式会社内  
 (74)代理人 弁理士 京本 直樹 (外2名)  
 審査官 伊東 和重  
 (56)参考文献 特開 平6-303056 (JP, A)  
 IEEE TEANS. FUNOAM  
 ENTALS, VOL. E75-A, NO  
 12 P. 1774-1776

## (54)【発明の名称】 MOS OTA

1

## (57)【特許請求の範囲】

【請求項1】 差動出力を持つ2乗回路の一方の出力電流で駆動される差動対から構成され、2乗回路が、出力を共通に接続された2対のトランジスタ対が共通のテール電流で駆動されるクアドリテールセルであって、前記第一のトランジスタ対には、差動入力信号が入力され、第二のトランジスタ対は入力が共通に接続されて差動入力信号の直流電圧が入力されることを特徴とするMOS OTA。

【請求項2】 定電流源から、差動出力を持つ2乗回路の他方の出力電流が減じられた電流で駆動される差動対から構成され、2乗回路が、出力を共通に接続された2対のトランジスタ対が共通のテール電流で駆動されるクアドリテールセルであって、前記第一のトランジスタ対には、差動入力信号が入力され、第二のトランジスタ対

2

は入力が共通に接続されて差動入力信号の直流電圧が入力されることを特徴とするMOS OTA。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はアナログ信号を増幅する差動増幅器に関し、特に半導体集積回路上に構成される線形動作する最適化バイアス差動対からなるOTA (Operational Transconduc tance Amplifier) に関する。

## 【0002】

【従来の技術】 この種の最適化バイアス差動対は、MOS OTAといわれ、不平衡型交叉接続クアッドセルを2乗回路として用いたものが、Nedungadi等により最初に提案された。(IEEE Transactions on Circuits and Syst

3

e m s , V o l . C A S - 3 1 , N O . 1 0 , p p . " 8  
9 1 - 8 9 4 , O c t . 1 9 9 8 4 ) 同一チップ上では  
素子間の整合性は良いと仮定し、チャネル長変調と基板

$$\begin{cases} I_{D1} = \beta (V_{GS1} - V_{TH})^2 \\ I_{D1} = 0 \end{cases}$$

【0004】ここで、 $\beta = \mu (C_{ox}/2) (W/L)$  は  
トランスクンダクタンス・パラメータであり、 $\mu$  はキャ  
リアの実効モビリティ、 $C_{ox}$  は単位面積当たりのゲート  
酸化膜容量、 $W$ 、 $L$  はそれぞれ、ゲート幅、ゲート長で  
ある。また、 $V_{TH}$  はスレッショルド電圧、 $V_{GS1}$  はそれ  
ぞれのゲート・ソース間電圧である。

$$\Delta I_p = \begin{cases} \beta V_t \sqrt{\frac{2I_{ss}}{\beta} - V_t^2} & (|V_t| \leq \sqrt{\frac{I_{ss}}{\beta}}) \\ I_{ss} \operatorname{sgn}(V_t) & (|V_t| \geq \sqrt{\frac{I_{ss}}{\beta}}) \end{cases} \quad (2a)$$

$$(2b)$$

【0008】と表される。したがって、入力電圧の2乗  
特性を持つテール電流で駆動して差動対のトランスクン  
ダクタンス完全に補償することができる。最適化バイア  
ス差動対のテール電流の条件は、

【0009】

$$I_{ss} = I_o + \frac{1}{2} \beta V_t^2$$

$$\begin{aligned} I_L &= aI - (I_{o1} + I_{o2}) \\ &= aI - \frac{2n}{n+1} I + 2 \frac{n(n-1)}{(n+1)^2} \beta V_t^2 \quad (|V_t| \leq \sqrt{\frac{(n+1)I}{n\beta}}) \quad (4a) \\ &= aI + \frac{3n-1}{2(n+1)} I + \frac{n(n+1)\beta V_t^2 + 2n\beta |V_t| \sqrt{(n+1)^2 \frac{I}{\beta} - nV_t^2}}{(n+1)^2} \\ &\quad \left( \sqrt{\frac{(n+1)I}{n\beta}} \leq |V_t| \leq \sqrt{\frac{(n+1)I}{\beta}} \right) \quad (4b) \\ &= aI \quad (|V_t| \geq \sqrt{\frac{(n+1)I}{\beta}}) \quad (4c) \end{aligned}$$

【0013】差動対を不平衡型交叉接続クアッドセルの  
出力電流で駆動してバイアスを最適化するには、テール

$$I_{ss} = aI - \frac{2n}{n+1} I + 2 \frac{n(n-1)}{(n+1)^2} \beta V_t^2 = I_o + \frac{1}{2} \beta V_t^2 \quad (5)$$

に設定すれば、 $|V_t| \leq \sqrt{(n+1)I/(n\beta)}$  の入力電圧範囲にわたり、  
トランスクンダクタンスは、一定値  $g_a = \sqrt{(a - 2n/(n+1))(I/\beta)}$  をとる。

この時に、(5)式により、 $V_t^2$  の係数が等しくなる必要があるから、

$$2 \frac{n(n-1)}{(n+1)^2} = \frac{1}{2} \quad (6)$$

(6)式を解くと、

$$n = 1 + \frac{2}{\sqrt{3}} (= 2,1547) \quad (7)$$

と求まる。

【0015】Nedungadi 等は、図 10 に示すよ  
うに、 $n = 2$ 、 $n = 2.1$ 、 $n = 2.155$ 、 $n = 2.$   
2、 $n = 2.3$  の場合について SPICE シュミレーシ  
50

4

効果を無視すると、おのおのの MOS トランジスタのド  
レイン電流は、

【0003】

(  $V_{GS1} \geq V_{TH}$  ) (1a)(  $V_{GS1} \leq V_{TH}$  ) (1b)

【0005】(1a)式の2乗則はもともショックレー  
の式を近似したものである。

【0006】テール電流  $I_{SS1}$  で駆動される MOS 差動  
10 対の差動出力電流は、

【0007】

【0010】である。

【0011】図 9 に示す、Nedungadi 等が提案  
した、不平衡型交叉接続クアッドセルの出力電流  $I_L$   
は、

【0012】

電流を、

【0014】

ヨンして、トランスクンダクタンスが、 $n = 2, 155$   
の場合に、0.1%以下になることを述べている。

【0016】

【発明が解決しようとする課題】 Nedungadi 等が提案した、不平衡型交叉接続クアッドセルを用いた最適化バイアス差動対では、不平衡型交叉接続クアッドセルを構成する不平衡差動対 (Unbalanced source-coupled pair) のトランジスタのゲートW/L比を  $1 : 1 + 2/\sqrt{3}$  ( $= 2, 154.7$ ) に設定する必要がある。この値では、事実上LSI化できないという問題がある。また、nの値を整数値に丸め込むと、当然のことながら、直線性が犠牲になる。また、回路規模も大きくなるという欠点がある。

## 【0017】

【課題を解説するための手段】 本発明のOTAは、差動出力を持つ2乗回路の一方向の出力電流で駆動される差動対から構成され、2乗回路が、出力を共通に接続された2対のトランジスタ対が共通のテール電流で駆動されるクアドリテールセルであって、前記第一のトランジスタ対には、差動入力信号が入力され、第二のトランジスタ対は入力が共通に接続されて差動入力信号の直流電圧

$$I_L = I_{D1} + I_{D2}$$

$$= \begin{cases} \frac{I_o}{2} - \frac{\beta V_1^2}{4} & (|V_1| \leq \sqrt{\frac{2I_o}{3\beta}}) \\ \frac{2}{3}I_o - \frac{\beta V_1^2 + 2\beta |V_1| \sqrt{2(\frac{8I_o}{\beta} - V_1^2)}}{18} & (\sqrt{\frac{2I_o}{3\beta}} \leq |V_1| \leq 2\sqrt{\frac{I_o}{\beta}}) \\ 0 & (|V_1| \geq 2\sqrt{\frac{I_o}{\beta}}) \end{cases}$$

図4に、クアドリテールセルの入出力特性を示す。

$|V_1| \leq \sqrt{2I_o/(3\beta)}$  の入力電圧範囲では、理想的な2乗特性を持つことがわかる。

【0021】差動対をクアドリテールセルの出力電流で駆動してバイアスを最適化するには、テール電流を、

## 【0022】

$$I_{ss} = 2I_o - 2I_L \quad (9)$$

に設定すれば、 $|V_1| \leq \sqrt{2I_o/(3\beta)}$  の入力電圧範囲にあたり、トランジスタコンダクタンスは、一定値  $g_s = \sqrt{2I_o/\beta}$  をとる。

【0023】次に、クアドリテールセルを用いた最適化バイアス差動対の実現回路を図5に示す。差動出力電流は、

## 【0024】

が入力される。また、本発明のOTAは、定電流源から、差動出力を持つ2乗回路の他方の出力電流が減じられた電流で駆動される差動対から構成され、2乗回路が、出力を共通に接続された2対のトランジスタ対が共通のテール電流で駆動されるクアドリテールセルであつて、前記第一のトランジスタ対には、差動入力信号が入力され、第二のトランジスタ対は入力が共通に接続されて差動入力信号の直流電圧が入力される。

## 【0018】

10 【実施例】 図1に、本発明請求項1に示す最適化バイアス差動対からなるOTAのブロック図を示す。図2に、こうして得られる最適化バイアス差動対の入出力特性を示す。図3に本発明請求項1に示したクアドリテールセルを用いた最適化バイアス差動対からなるOTAの基本回路構成を示す。

【0019】4つのトランジスタがテール電流を共通にしたクアッドセルの出力電流  $I_L$  は、

## 【0020】

$$\Delta I =$$

$$\begin{cases} \sqrt{2\beta I_o} V_1 & (|V_1| \leq \sqrt{\frac{2I_o}{3\beta}}) \end{cases} \quad (10a)$$

$$\begin{cases} \frac{\beta V_1}{3} \sqrt{12\frac{I_o}{\beta} - 7V_1^2 + 4|V_1| \sqrt{2(\frac{8I_o}{\beta} - V_1^2)}} & (\sqrt{\frac{2I_o}{3\beta}} \leq |V_1| \leq \sqrt{(1 + \frac{1}{\sqrt{2}})\frac{I_o}{\beta}}) \end{cases} \quad (10b)$$

$$\begin{cases} \frac{\beta V_1^2 + 8I_o + 2\beta |V_1| \sqrt{2(\frac{8I_o}{\beta} - V_1^2)}}{9} & (\sqrt{(1 + \frac{1}{\sqrt{2}})\frac{I_o}{\beta}} \leq |V_1| \leq 2\sqrt{\frac{I_o}{\beta}}) \end{cases} \quad (10c)$$

$$\begin{cases} 2I_o \operatorname{sgn}(V_1) & (|V_1| \geq 2\sqrt{\frac{I_o}{\beta}}) \end{cases} \quad (10d)$$

【0025】図6に入出力(伝達)特性を示す。また、図7に入出力の非直線特性を示す。

【0026】トランジスタコンダクタンスは、(10)式を入力電圧  $V_1$  で微分すれば求まる。

【0028】

$$\frac{d(\Delta I)}{dV_1} = \begin{cases} \sqrt{2\beta I_o} & (|V_1| \leq \sqrt{\frac{2I_o}{3\beta}}) \\ \frac{\beta}{3} \sqrt{12\frac{I_o}{\beta} - 7V_1^2 + 4|V_1| \sqrt{2(\frac{6I_o}{\beta} - V_1^2)}} \\ + \frac{\beta}{3} V_1 (-7V_1 + 2\text{sgn}(V_1)) \sqrt{2(\frac{6I_o}{\beta} - V_1^2)} \\ - \frac{4\beta |V_1| V_1}{\sqrt{2(\frac{6I_o}{\beta} - V_1^2)}} \end{cases} \quad (11a)$$

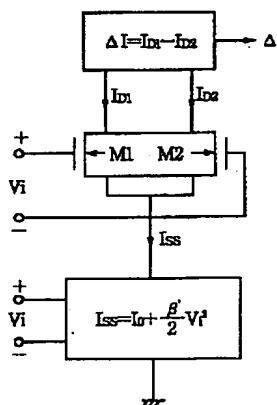
$$\times \frac{1}{\sqrt{\frac{12I_o}{\beta} - 7V_1^2 + 4|V_1| \sqrt{2(\frac{6I_o}{\beta} - V_1^2)}}} = \left( \sqrt{\frac{2I_o}{3\beta}} \leq |V_1| \leq \sqrt{(1 + \frac{1}{\sqrt{2}}) \frac{I_o}{\beta}} \right) \quad (11b)$$

$$\frac{2\beta}{9} (V_1 + \text{sgn}(V_1)) \sqrt{2(\frac{6I_o}{\beta} - V_1^2)} \\ - \frac{2\beta |V_1| V_1}{\sqrt{2(\frac{6I_o}{\beta} - V_1^2)}} \\ \left( \sqrt{(1 + \frac{1}{\sqrt{2}}) \frac{I_o}{\beta}} \leq |V_1| \leq 2\sqrt{\frac{I_o}{\beta}} \right) \quad (11c)$$

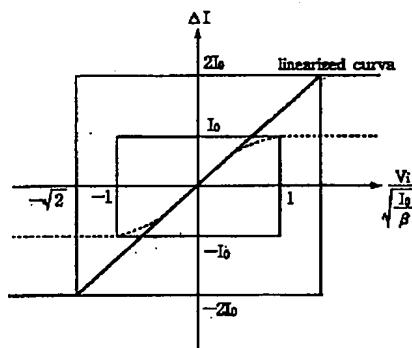
$$0 \quad (|V_1| \geq 2\sqrt{\frac{I_o}{\beta}}) \quad (11d)$$

【0029】図8にトランジスタコンダクタンス特性を示す。

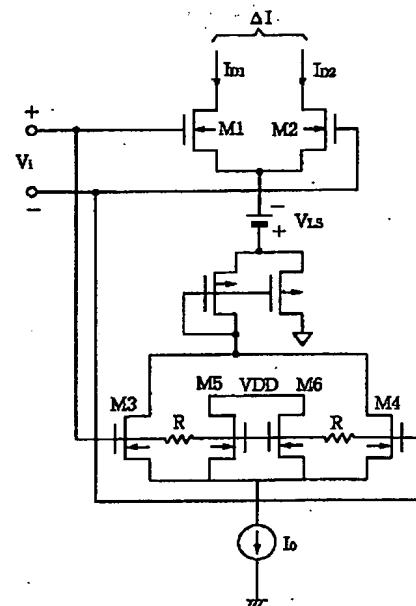
【図1】



【図2】



【図3】



す。

【0030】

【発明の効果】以上説明したように、本発明の最適化バイアス差動対で構成されるMOS OTAでは、小さな回路規模で実現でき、直線となる入力電圧範囲も広くできるという効果がある。

【図面の簡単な説明】

【図1】本発明請求項1の最適化バイアス差動対の一実施例を示すブロック図。

10 【図2】図1に示す最適化バイアス差動対の入出力特性。

【図3】本発明請求項1の最適化バイアス差動対の基本回路図。

【図4】図3に示す2端子回路の入出力特性図。

【図5】本発明請求項1の最適化バイアス差動対の一実施例を示す回路図。

【図6】本発明請求項1の一実施例を示す最適化バイアス差動対から構成されたMOS OTAの入出力特性図。

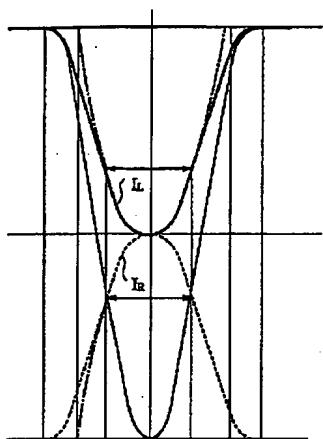
20 【図7】本発明請求項1の一実施例を示す最適化バイアス差動対から構成されたMOS OTA入出力特性の非線形特性。

【図8】本発明請求項1の一実施例を示す最適化バイアス差動対から構成されたMOS OTAのトランジスタコンダクタンス特性。

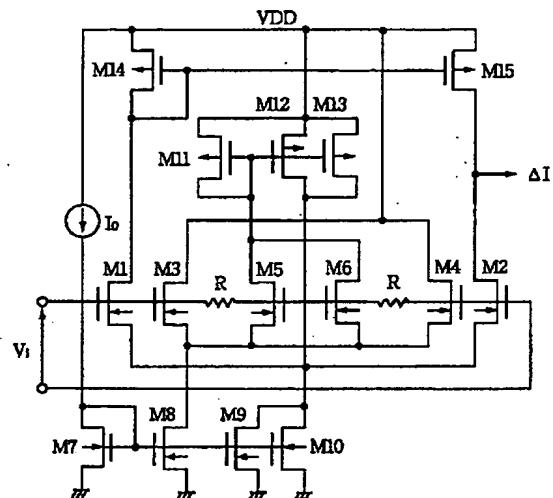
【図9】従来回路図。

【図10】図9の回路の入出力特性図。

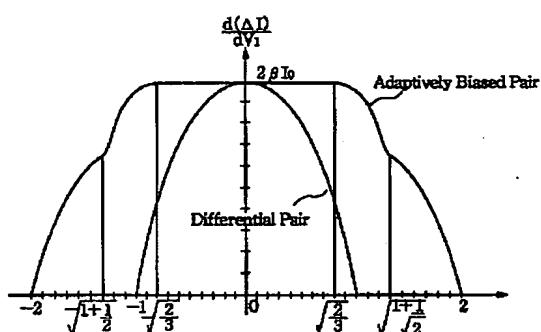
【图 4】



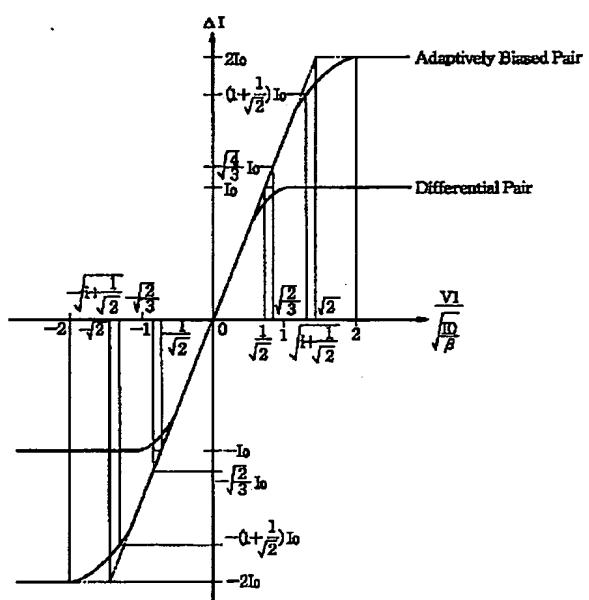
【图5】



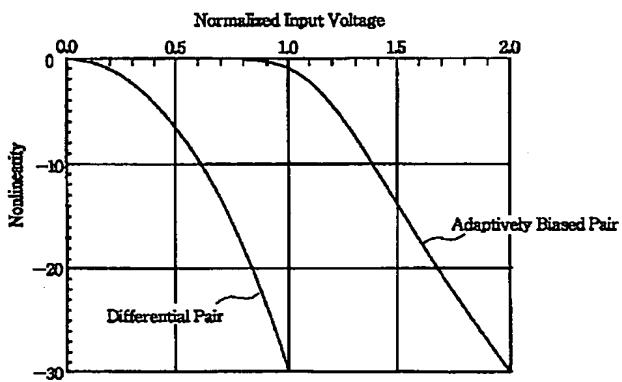
[8]



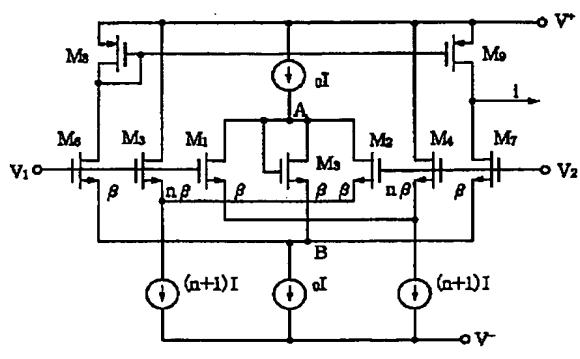
[ 6]



【図 7】



【图9】



【図10】

